

Information Disclosure Statement

New U.S. Patent Application for
INDUCTOR HAVING HIGH QUALITY FACTOR AND
UNIT INDUCTOR ARRANGING METHOD THEREFOR
Our Ref. No.: P02EC046/US/js

Reference No.:

- (1) KR Laid-Open No. 2000-19683
- (2) JP Laid-Open No. 10-163028
- (3) US Patent No. 5,545,916
- (4) US Patent No. 5,610,433
- (5) A Q-FACTOR ENHANCEMENT TECHNIQUE FOR MMIC
INDUCTORS
(1998 IEEE Radio Frequency integrated Circuits Symposium, Pages 217-220)



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000019683 (43) Publication.Date. 20000415

(21) Application No.1019980037894 (22) Application Date. 19980915

(51) IPC Code:
H01F 41/00

(71) Applicant:

KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY

(72) Inventor:

HAN, CHEOL HUI

KIM, CHUNG GI

YOON, JUN BO

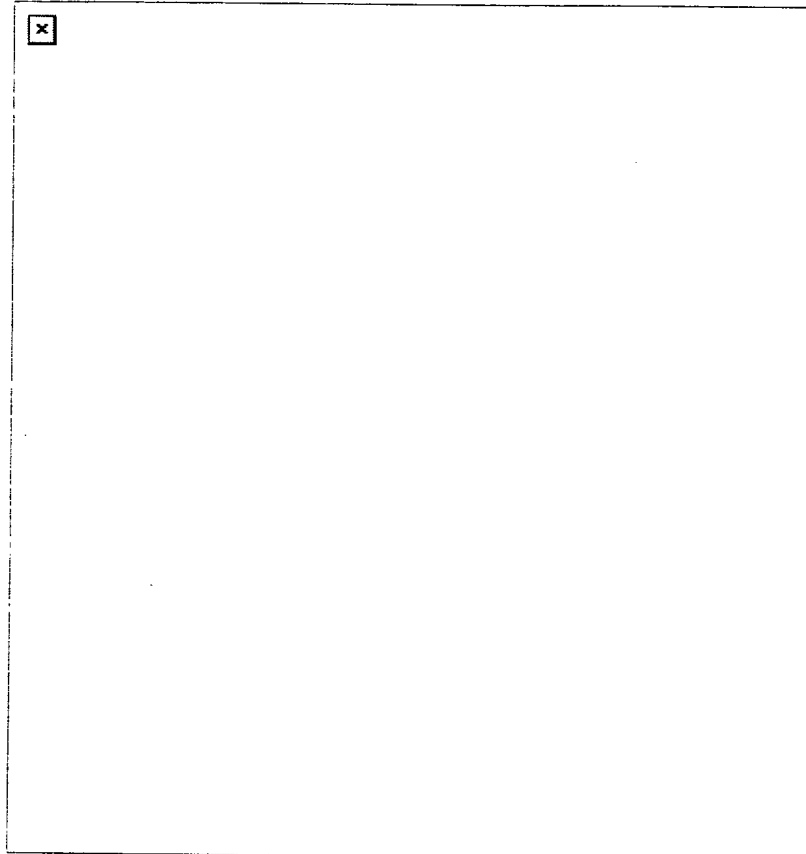
YOON, UI SIK

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING MONOLITHIC SOLENOID INDUCTOR

Representative drawing



(57) Abstract:

PURPOSE: A solenoid inductor including an air core and a magnetic core is provided to have no limit for length and to be manufactured simply.

CONSTITUTION: A method for an air solenoid inductor comprises following steps: a board having conductive lines on its upper surface is prepared(S1 Step); a three dimensional bridge mold is formed on the board by MESD (Multi-Exposure and Single Development) process(S2 Step); an iron bridge is formed on both the three dimensional bridge mold and the board(S3 Step). The method for solenoid inductor having magnetic core consists of: a board having conductive lines on its upper surface is prepared(S1 Step); a sacrificial layer is formed on the board(S2 Step); the board has magnetic core(S3 Step); the three dimensional bridge mold is formed on the board by SD(Single Development) process(S4 Step); the iron bridge is formed on both the three dimensional bridge mold and the board(S3 Step). The solenoid inductor has iron bridge which has both conductive lines and conductive posts in one body and which has no limit for length. As all processes is undertaken below 120

deg.C, it has high compatibility, many kinds of boards can be used for it.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01F 41/00

(11) 공개번호
(43) 공개일자

국2000-0019683
2000년04월15일

(21) 출원번호	10-1998-0037894
(22) 출원일자	1998년09월15일
(71) 출원인	한국과학기술원, 윤덕용 대한민국 305701 대전광역시 유성구 구성동 373-1
(72) 발명자	김충기 대한민국 305-340 대전광역시 유성구 도룡동 397-5 삼정빌리지102호 한철희 대한민국 305-345 대전광역시 유성구 신성동 한울아파트 103동 502호 윤의식 대한민국 305-340 대전광역시 유성구 도룡동 383-2 과기원아파트 1-405 윤준보 대한민국 305-390 대전광역시 유성구 전인동 엑스포아파트 410동 1308호
(74) 대리인	윤의상
(77) 심사청구	있음
(54) 특허명	솔레노이드 인덕터의 모놀리식 제조방법

요약

120도 이하의 저온에서 단일의 3차원 구조의 포토레지스트 몰드 패터닝과 단일의 금속 도금을 이용한 간단한 공정에 의해서 높은 집적 회로 호환성과 우수한 생산성 및 저렴한 제조 비용으로 종래의 기술로는 제조가 어려웠던 3차원 구조의 솔레노이드 인덕터를 모놀리식 방식으로 제조하는 방법이 개시되어 있다. 본 발명의 제 1 실시 예에 따르면, 다중 노광 및 단일 현상법에 의해서 3차원 브릿지 몰드를 형성하고 금속 도금을 실시하여, 도전 포스트를 형성한 도금 금속이 넘침에 의해 상부 도전선을 형성함으로써, 도전 포스트와 상부 도전선이 한 몸체인 금속 브릿지를 단일의 금속 도금 과정에서 얻는다. 본 발명의 제 2 실시 예에 따르면, 포토레지스트로 이루어진 희생층을 사용하여 자성 코어를 내포한 솔레노이드 인덕터를 제작한다. 본 발명의 제 3 실시 예, 제 4 실시 예 및 제 5 실시 예에 따르면, 제 3 씨앗 금속층 또는 더미 포스트를 도입함으로써 길이의 제한이 없는 금속 브릿지를 형성하여, 결국에는 길이의 제한이 없으면서 공심 또는 자성 코어를 내포하는 솔레노이드 인덕터를 제조한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 제 1 실시 예에 따른 공심형 솔레노이드 인덕터의 입체도;

도 2a 내지 도 2e는 본 발명의 바람직한 제 1 실시 예에 따른 공심형 솔레노이드 인덕터의 제작 공정도;

도 3a 내지 도 3c는 본 발명에 따른 3차원 구조의 포토레지스트 패터닝 공정을 나타낸 도면;

도 4a 내지 도 4f는 본 발명의 바람직한 제 2 실시 예에 따른 자성 코어를 내포하는 솔레노이드 인덕터의 제작 공정도;

도 5는 각기 다른 자외선 노광 시간에 대한 포토레지스트의 현상 특성을 나타낸 그래프;

도 6a 및 6b는 본 발명의 바람직한 제 1 실시 예에 따라서 제작된 공심형 솔레노이드 인덕터의 주사 전자 현미경적 사진;

도 7a 및 7b는 본 발명의 바람직한 제 2 실시 예에 따라서 제작된 자성 코어를 내포하는 솔레노이드 인덕터의 주사 전자 현미경적 사진;

도 8a 내지 도 8c는 본 발명의 바람직한 제 3 실시 예에 따라서 길이의 제한이 없는 금속 브릿지를 제작하기 위한 방법을 설명하는 도면;

도 9a 내지 도 9d는 본 발명의 바람직한 제 4 실시 예에 따라서 길이의 제한이 없는 금속 브릿지를 제작하기 위한 또다른 방법을 설명하는 도면;

도 10a 및 10b는 본 발명의 바람직한 제 5 실시 예에 따라서 제 3 씨앗 금속층의 도움 없이 길이의 제한이 없는 금속 브릿지를 제작하기 위한 방법을 설명하는 도면; 그리고

도 11은 본 발명의 바람직한 제 5 실시 예에 따라 제작된 것으로서 금속 브릿지 길이의 제한이 없으면서 자성 코어를 내포하는 솔레노이드 인덕터의 주사 전자 현미경적 사진이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 솔레노이드 인덕터	12 : 바닥 도전선
14 : 금속 브릿지	16 : 도전 포스트
18 : 상부 도전선	20 : 기판
22 : 제 1 씨앗 금속층	24 : 바닥 도전선 몰드
26 : 3차원 브릿지 몰드	28 : 제 1 비어 홀
29 : 상부 도전선 공간	30 : 포토레지스트막
32 : 제 1 포토마스크	36 : 제 2 포토마스크
40 : 희생층	42 : 제 2 씨앗 금속층
44 : 자성 코어 몰드	46 : 자성 코어
50 : 제 3 씨앗 금속층	52 : 제 2 비어 홀
54 : 제 3 비어 홀	56 : 더미 포스트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 솔레노이드 인덕터의 모놀리식(monolithic) 제조방법에 관한 것이며, 특히 3차원 구조를 갖기 때문에 기존의 집적 회로 제조기술로는 모놀리식 제조가 어려운 솔레노이드 인덕터를 간단한 3차원 마이크로머시닝(micromachining) 기술을 고안하여 모놀리식 방식으로 제조하는 방법에 관한 것이다.

일반적으로, 인덕터는 저항 및 콘덴서와 더불어 중요한 수동 전기 소자 (passive electrical component) 중의 하나이며, 전기에너지와 자기에너지를 서로 교환해 줄 수 있기 때문에 변압기, 자기 디스크의 읽기/쓰기용 헤드, 스피커/마이크 등에 널리 사용되고 있다. 이러한 인덕터는 거시 세계(macro world)에서 대부분 솔레노이드 형태를 가지고 있다. 왜냐하면, 이것은 막대 형태의 코어에 전선을 감아서 쉽게 만들 수 있으므로, 제조가 간단하고, 큰 인덕턴스를 얻기 쉬우며, 전기적 해석이 쉽기 때문이다.

그런데, 모든 전기/자기 소자를 축소 또는 집적(integration)하려는 현대의 추세에 맞춘 집적 인덕터(integrated inductor)에 있어서는 솔레노이드 형태가 아닌, 미앤더(meander) 또는 스피랄(spiral) 형태의 평면 인덕터(planar inductor)가 주종을 이루고 있다. 왜냐하면, 평면 기술의 반복인 현재의 집적 회로 기술로는 솔레노이드 인덕터와 같은 3차원 구조를 모놀리식 방식으로 집적하기가 매우 어렵기 때문이다.

1995년 12월 26일자로 에스. 디. 찬들러(S. D. Chandler) 등에게 허여된 미합중국 특허 제 5,478,773 호, 1996년 8월 13일자로 아이. 에이. 쿨리아스(I. A. Koullias) 등에게 허여된 미합중국 특허 제 5,545,916 호, 및 1997년 6월 3일자로 케이. 비. 에쉬비(K. B. Ashby) 등에게 허여된 미합중국 특허 제 5,635,892 호에는 솔레노이드형 인덕터에 비해서 전기적인 특성이 현저하게 떨어지는 평면 인덕터를 제조하는 방법이 개시된 바 있다.

1997년 8월 12일자로 엠. 지. 알렌 (M. G. Allen) 등에게 허여된 미합중국 특허 제 5,655,665 호에는 도전선과 코어를 각각 미앤더의 형태로 서로 교차하도록 제조하여 토로이달-미앤더(toroidal-meander) 형태의 인덕터를 제조하는 방법이 개시되어 있다. 이 방법은 사용하는 층의 두께가 다소 두껍다는 점을 제외하고는 집적 회로 제조기술과 같은 방식이어서 제조 공정이 복잡하며, 자성 코어를 반드시 사용해야 하므로 기가헤르쯔(GHz) 대역의 고주파용 인덕터로는 사용할 수 없다는 제약이 있다.

집적 인덕터에 있어서 솔레노이드 인덕터가 다른 인덕터에 대해 가지는 장점은, 우선 코일의 일부, 즉 바닥 도전선만이 표면을 차지하기 때문에 작은 면적에 큰 인덕턴스를 얻음과 동시에 기판과의 기생 캐패시턴스(parasitic capacitance)를 줄일 수 있다. 또한, 솔레노이드의 반경에 비해서 길이가 훨씬 길 경우에 간단한 수식으로 인덕턴스를 설계할 수 있다는 장점이 있다.

1998년 1월에 김용준 등이 IEEE Transactions on Components, Packaging, and Manufacturing Technology-Part C, Vol. 21, No. 1, 26쪽에 발표한 "Surface Micromachined Solenoid Inductor for High Frequency Applications" 라는 논문에는 솔레노이드 인덕터를 모놀리식 방식으로 제조하기 위해서 집적 회로 기술 대신에 마이크로머시닝 기술을 사용한 예가 개시된 바 있다. 상기 문헌에 따르면, 두꺼운 폴리이미드 몰드(polyimide mold)를 여러 번 중첩 사용해서 솔레노이드형 인덕터를 제조하였다. 그러나, 이 제조 방법 역시 평면 기술을 반복해서 사용하였으므로, 매 층마다 씨앗 금속층을 필요로 하고, 표면을 평탄화시키는 공정이 추가로 요구된다. 또한, 매 층마다 폴리이미드 몰드의 건식 식각을 필요로 하기 때문에, 제조 공정이 복잡하다는 단점을 가지고 있다.

따라서, 좀더 쉽고 간단한 모놀리식 제조 방법으로 3차원 구조를 가지는 솔레노이드 인덕터를 집적하여 우수한 전기적 성능을 얻고자 하는 요구가 대두되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 공심(air core) 및 자성 코어(magnetic core)를 내포하는 솔레노이드 인덕터를 쉽고 간단하게 제조할 수 있는 솔레노이드 인덕터의 모놀리식 제조 방법을 제공하려는 것이다.

본 발명의 다른 목적은 솔레노이드 제조 공정의 수를 줄이고 재현성 및 신뢰성 있는 공정을 개발함으로써 생산 단가를 낮추고 생산 수율을 향상시키는 데 있다.

본 발명의 또다른 목적은 길이의 제한이 없는 쏘레노이드 인덕터를 제조하는 데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은,

상부면 상에 바닥 도전선이 형성된 기판을 마련하는 단계(S1);

상기 기판 상에 3차원 브릿지 몰드를 형성하는 단계(S2); 및

상기 기판 및 상기 3차원 브릿지 몰드 상에 금속 브릿지를 형성하는 단계(S3)를 포함하는 공심형 쏘레노이드 인덕터의 모놀리식 제조 방법을 제공한다.

또한, 본 발명은,

상부면 상에 바닥 도전선이 형성된 기판을 마련하는 단계(SS1);

상기 기판 상에 희생층을 형성하는 단계(SS2);

상기 기판 상에 자성 코어를 형성하는 단계(SS3);

상기 기판 상에 3차원 브릿지 몰드를 형성하는 단계(SS4); 및

상기 기판 및 상기 3차원 브릿지 몰드 상에 금속 브릿지를 형성하는 단계(SS5)를 포함하는, 자성 코어를 내포하는 쏘레노이드 인덕터의 모놀리식 제조 방법을 제공한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예들을 보다 상세히 설명하면 다음과 같다.

도 1은 본 발명의 바람직한 제 1 실시 예에 따른 공심형 쏘레노이드 인덕터의 입체도이다. 도 1을 참조하면, 본 발명의 제 1 실시 예에서는 쏘레노이드 인덕터(10)를 바닥 도전선(12)과 금속 브릿지(14)의 두부분으로 나누어 제조한다. 이때, 금속 브릿지(14)는 한 몸체로 이루어진 도전 포스트(16)와 상부 도전선(18)을 포함한다. 도전 포스트(16)와 상부 도전선(18)은 단일의 전해 또는 무전해 도금에 의해서 순차적으로 형성된다.

도 2a 내지 도 2e는 본 발명의 바람직한 제 1 실시 예에 따른 공심형 쏘레노이드 인덕터의 제작 공정도이다. 참고로, 도 2a 내지 도 2e는 도 1에 도시된 쏘레노이드 인덕터의 권선 하나의 단면을 나타낸다.

도 2a 내지 도 2e를 참조하여 본 발명의 바람직한 제 1 실시 예에 따른 공심형 쏘레노이드 인덕터(10)의 제조 과정을 간단히 설명한다.

먼저, 도 2a를 참조하면, 상부에 200Å 두께의 티타늄(Ti)과 2,000Å 두께의 구리(Cu)로 이루어진 제 1 씨앗 금속층(22)을 증착한 기판(20)을 준비한다. 다음에는, 포토리쓰그래피(photolithography) 공정을 이용하여 제 1 씨앗 금속층(22) 상에 약 20 μ m의 높이의 포토레지스트를 코팅하고 패터닝하여 바닥 도전선 몰드(24)를 형성한다. 이어서, 바닥 도전선 몰드(24)에 의해서 가려진 부분을 제외한 제 1 씨앗 금속층(22) 상에 구리를 전해 또는 무전해 도금(이하, 금속 도금이라 칭함)하여 약 10 μ m의 높이의 바닥 도전선(12)을 형성한다. 본 발명의 제 1 실시 예에서는 가격이 저렴하고 도전성이 좋은 구리를 바닥 도전선(12)의 재료로 사용하였으나, 다른 금속도 사용이 가능하다. 바닥 도전선(12)을 형성한 후에는, 아세톤 등과 같은 유기 용제를 사용하여 바닥 도전선 몰드(24)를 제거한다.

다음으로 도 2b를 참조하면, 하기에서 설명될 3차원 패터닝 방법에 의해서 3차원 브릿지 몰드(26)를 약 90 μ m의 두께의 포토레지스트를 이용하여 형성한다. 3차원 브릿지 몰드(26)는 약 40 μ m의 높이의 제 1 비어 홀(via hole)(28)과 약 40 μ m의 높이의 상부 도전선 공간(29)을 3차원적으로 한정한다.

계속해서 도 2c를 참조하면, 단일의 구리 금속 도금을 실시하여 처음에는 제 1 비어 홀(28)을 채워서 도전 포스트(16)를 형성하고, 이후에는 구리 금속 도금이 상부 도전선 공간(29)을 따라서 도전 포스트(16)의 상부로 넘치게 한다. 다음에는, 도 2d에 나타난 바와 같이 구리 금속도금을 계속적으로 진행 시켜서 양쪽의 도전 포스트(16)의 상부로 넘친 도금 금속이 서로 연결되어 상부 도전선(18)을 형성하게 하고, 그 결과로서 도전 포스트(16)와 상부 도전선(18)이 한 몸체인 금속 브릿지(14)를 형성하도록 한다. 다음에는, 도 2e에 나타난 바와 같이 포토레지스트로 이루어진 3차원 브릿지 몰드(26)(도 2b 참조)를 아세톤 등과 같은 유기 용제를 사용하여 제거하고, 전기적 격리를 위해서 제 1 씨앗 금속층(22)의 일부를 에칭하여 공심형 쏘레노이드 인덕터(10)를 제조한다.

이후에는, 바닥 도전선(12)과 금속 브릿지(14)의 표면을 보호하거나 두께를 더하기 위해서 금(Au) 또는 구리 등의 무전해 도금을 실시할 수 있으며, 이와는 달리 바닥 도전선(12)과 금속 브릿지(14)의 두께를 감하기 위해서 추가로 에칭을 실시할 수도 있다. 또한, 바닥 도전선(12)과 금속 브릿지(14)를 보호하기 위한 보호층으로서 폴리이미드를 코팅하거나, 알루미늄, 이산화규소막, 실리콘 질화막 또는 탄화 규소막 등을 증착시킬 수 있다.

도 3a 내지 도 3c는 본 발명에 따른 3차원 구조의 포토레지스트 패터닝 공정을 나타낸 도면이다. 참고로, 도 3a 내지 도 3e는 도 1에 도시된 쏘레노이드 인덕터의 권선 하나의 단면을 나타낸다.

도 3a 내지 도 3c를 참조하여 전술한 바와 같은 3차원 브릿지 몰드(26)를 형성하기 위한 3차원 패터닝 방법, 즉, 본 발명에 따른 다중 노광 및 단일 현상법(Multi-Exposure and Single Development: MESD)의 공정을 설명한다. 이 방법은 매우 간단한 공정과 일반적인 장비 및 재료를 사용하여 3차원 포토레지스트 몰드를 쉽게 형성할 수 있는 방법이다. 이 방법은 일반적인 포토리쓰그래피 공정을 약간 변형하여, 두 장 이상의 포토마스크를 사용하고 각각의 포토마스크에 대해 각기 다른 노광량으로 다중 노광을 실시하여 단일 층의 포토레지스트에 3차원의 잠재상(latent image)을 형성한 후, 최종적으로는 일반적인 현상 공정을 1회 실시하여 3차원 구조를 갖는 포토레지스트 몰드를 형성한다.

먼저 도 3a를 참조하면, 제 1 씨앗 금속층(22)과 바닥 도전선(12)이 형성되어 있는 기판(20)에 포토레지스트를 도포하고 1,500rpm에서 0.5초간 스핀 코팅(spin coating)을 실시하여 90 μ m 두께의 포토레지스트막(30)을 형성한후 열처리를 한다. 본 발명에서는 독일 핵스트사사에 의해서 시판중인 것으로 양성(positive) 포토레지스트인 상품명 AZ9262 제품을 포토레지스트로서 사용한다.

열처리가 끝난후에는, 상부 도전선(18) 패턴을 내포한 제 1 포토마스크(32)를 사용하여 약 40 μ m의 깊이로 1차 자외선 노광을 실시함으로써, 추후에 현상되어 상부 도전선 공간(29)을 형성하게될 부분에 상부 도전선 잠재영역(34)을 형성한다. 이때, 노광 깊이는 예를들어 노광 시간에 의해서 조절이 가능하다.

다음으로 도 3b를 참조하면, 도전 포스트(16) 패턴을 내포한 제 2 포토마스크(36)를 사용하여 포토레지스트막(30)의 바닥까지 2차 자외선 노광을 실시함으로써, 추후에 현상되어 제 1 비어 홈(28)이 될 부분에 비어 홈 잠재영역(38)을 형성한다.

도 3c를 참조하면, 1차 및 2차 자외선 노광이 끝난 포토레지스트막(30)을 1회 현상하여 상부 도전선 잠재영역(34)과 비어 홈 잠재영역(38)을 제거함으로써, 상부 도전선 공간(29)과 제 1 비어 홈(28)을 3차원적으로 내포한 3차원 브릿지 몰드(26)를 형성하게 된다.

한편, 전술한 바와 같은 1차 및 2차 노광 순서를 바꾸어서, 제 2 포토마스크(36)를 사용하여 포토레지스트막(30)의 바닥까지 1차 자외선 노광을 실시하고 제 1 포토마스크(32)를 사용하여 약 $40\mu\text{m}$ 의 깊이로 2차 자외선 노광을 실시한 후, 포토레지스트막(30)을 1회 현상하여 3차원 브릿지 몰드(26)를 형성할 수도 있다.

도 5는 각기 다른 자외선 노광 시간에 대한 포토레지스트의 현상 특성을 나타낸 그래프이다. 즉, $90\mu\text{m}$ 두께를 갖는 상표명 AZ9262 포토레지스트에 각기 다른 양의 자외선 노광을 실시하였을 경우, 현상 시간에 따라서 포토레지스트의 두께가 어떻게 변하는가를 실험적으로 보여준다. 도 5에 나타난 바와 같이, 많은 양의 노광으로 포토레지스트의 바닥까지 현상할 수 있는 반면에, 적절한 양의 노광으로 원하는 깊이까지 노광하여 더 이상의 현상에도 거의 일정한 두께의 포토레지스트를 얻을 수 있음을 알 수 있다. 이러한 특성을 이용하면 원하는 깊이에 대응되는 노광 시간을 알 수 있고, 현상 시간을 조절하는 데 있어서 공정 여유(process margin)를 얻을 수 있게 된다.

도 6a 및 6b는 본 발명의 바람직한 제 1 실시 예에 따라서 제작된 공심형 쉘레노이드 인덕터의 주사 전자 현미경적 사진이다. 도 6a를 참조하면, 바닥 도전선(12)은 약 $15\mu\text{m}$ 두께의 구리이고, 금속 브릿지(14)는 약 $75\mu\text{m}$ 의 높이의 니켈이다. 도 6b를 참조하면, 바닥 도전선(12)은 약 $10\mu\text{m}$ 두께의 구리이고, 금속 브릿지(14)는 약 $80\mu\text{m}$ 의 높이의 구리이다.

도 4a 내지 도 4f는 본 발명의 바람직한 제 2 실시 예에 따른 자성 코어를 내포하는 쉘레노이드 인덕터의 제작 공정도이다.

먼저 도 4a를 참조하면, 본 발명의 바람직한 제 1 실시 예에서 도 2a를 참조하여 설명한 바와 같이, 상부에 200\AA 두께의 티타늄(Ti)과 $2,000\text{\AA}$ 두께의 구리(Cu)로 이루어진 제 1 씨앗 금속층(22)을 증착한 기판(20)을 준비한 후, 포토리소그래피 공정을 이용하여 제 1 씨앗 금속층(22) 상에 약 $20\mu\text{m}$ 의 높이의 포토레지스트를 코팅하고 패터닝하여 바닥 도전선 몰드(24)를 형성하고, 이어서 바닥 도전선 몰드(24)에 의해서 가려진 부분을 제외한 제 1 씨앗 금속층(22) 상에 구리를 금속 도금하여 약 $10\mu\text{m}$ 의 높이의 바닥 도전선(12)을 형성한다.

다음에는, 포토레지스트로서 추후에 희생적으로 식각 제거될 희생층(40)을 약 $20\mu\text{m}$ 의 두께로 패터닝한다. 그런 후에는, 제 1 씨앗 금속층(22)과 동일한 두께 및 재질을 갖는 제 2 씨앗 금속층(42)을 기판(20)의 표면 상에 증착시킨다(도 4b 참조).

그런 후에는, 제 2 씨앗 금속층(42)의 상부에 약 $35\mu\text{m}$ 두께의 자성 코어 몰드(44)를 패터닝하여 형성하고, 자성 코어 몰드(44)에 의해서 가려진 부분을 제외한 제 2 씨앗 금속층(42) 상에 금속 도금을 실시하여 약 $20\mu\text{m}$ 의 두께의 자성 코어(46)를 형성한다. 이때, 본 발명의 제 2 실시 예에서는 자성 코어(46)의 재질로서 니켈(Ni)을 사용하였으나, 니켈철(NiFe)과 같은 다른 자성 금속을 사용해도 무방하다. 다음으로는, 자성 코어 몰드(44), 제 2 씨앗 금속층(42)의 일부 및 희생층(40)을 순차적으로 제거한다. 이때, 희생층(40)이 제거됨으로써 자성 코어(46)와 바닥 도전선(12)이 서로 이격된다(도 4c 참조).

도 4d를 참조하면, 본 발명의 바람직한 제 1 실시 예에서 도 2b를 참조하여 설명한 바와 같이, 약 $90\mu\text{m}$ 의 두께의 포토레지스트를 이용하여 3차원 브릿지 몰드(26)를 형성한다. 이어서, 본 발명의 바람직한 제 1 실시 예에서 도 2c 및 2d를 참조하여 설명한 바와 같이, 단일의 구리 금속 도금을 실시하여 금속 브릿지(14)를 형성한다(도 4e 참조). 그런 후에, 도 4f에 나타난 바와 같이 3차원 브릿지 몰드(26) 및 제 1 씨앗 금속층(22)의 일부를 제거하면, 자성 코어(46)를 내포하는 쉘레노이드 인덕터가 제조된다.

도 7a 및 7b는 본 발명의 바람직한 제 2 실시 예에 따라서 제작된 자성 코어를 내포하는 쉘레노이드 인덕터의 주사 전자 현미경적 사진이다. 7a는 2:1 변압기를 나타낸 것이고, 7b는 읽기/쓰기 헤드를 나타낸 것이다. 이 사진들에서 바닥 도전선(12)과 금속 브릿지(14)는 구리로 이루어져 있고, 자성 코어(46)는 니켈로 이루어져 있다.

도 8a 내지 도 8c는 본 발명의 바람직한 제 3 실시 예에 따라서 길이의 제한이 없는 금속 브릿지를 제작하기 위한 방법을 설명하는 도면이다. 전술한 바와 같은 본 발명의 제 1 실시 예 및 제 2 실시 예에서는 금속 브릿지(14)가 금속 도금의 넘침에 의해서 형성되기 때문에 그 길이에 있어서 제한이 있을 수 있다. 이러한 제한을 없애기 위해서 도 8a 내지 도 8c에 나타난 간단한 방법을 사용할 수 있다.

먼저, 도 8a를 참조하면, 본 발명의 바람직한 제 1 실시 예에서 도 2b를 참조하여 설명한 바와 같은 3차원 브릿지 몰드(26)가 형성된 기판(20)의 표면에 제 1 씨앗 금속층(22)과 동일한 두께 및 재질을 갖는 제 3 씨앗 금속층(50)을 증착시킨다. 이때, 3차원 브릿지 몰드(26)의 벽면은 경사가 수직에 가까울 정도로 급하기 때문에 제 3 씨앗 금속층(50)이 증착되지 않는다. 이러한 현상은 증착 장비가 열증착기(thermal evaporator)일 경우에 특히 심하다.

다음으로 도 8b를 참조하면, 단일의 전해 도금을 실시하여 도금이 진행됨에 따라서, 도금 금속이 제 1 비어 홈(28)을 채운 후에는 상부 도전선 공간(29)의 바닥에 형성된 제 3 씨앗 금속층(50)을 만나게 된다. 이때, 3차원 브릿지 몰드(26)의 최상부에 있는 제 3 씨앗 금속층(50)의 상부는 전기적으로 단선되어 있으므로 전해 도금이 일어나지 않는다. 이후, 도금 금속은 상부 도전선 공간(29)의 바닥에 형성된 제 3 씨앗 금속층(50)의 상부 전체에서 성장하기 때문에 도전 포스트(16)와 상부 도전선(18)이 한 몸체이면서 길이에 제한이 없는 금속 브릿지(14)를 형성하게 된다.

이어서, 3차원 브릿지 몰드(26)를 제거하면, 3차원 브릿지 몰드(26)의 최상부에 있던 제 3 씨앗 금속층(50)도 함께 제거되면서 길이의 제한이 없는 금속 브릿지(14)가 제조된다(도 8c 참조). 이 방법을 제 1 실시 예 및 제 2 실시 예에 적용하면, 길이의 제한이 없는 쉘레노이드 인덕터를 제작할 수 있다.

도 9a 내지 도 9d는 본 발명의 바람직한 제 4 실시 예에 따라서 길이의 제한이 없는 금속 브릿지를 제작하기 위한 또다른 방법을 설명하는 도면이다.

먼저 9a를 참조하면, 본 발명의 바람직한 제 1 실시 예에서 도 2b를 참조하여 설명한 바와 같은 3차원 브릿지 몰드(26)가 형성된 기판(20)에 제 1 비어 홈(28)의 높이까지만 1차 금속 도금을 실시하여 도전 포스트(16)를 형성한다.

다음에는, 기판(20)의 표면에 제 1 씨앗 금속층(22)과 동일한 두께 및 재질을 갖는 제 3 씨앗 금속층(50)을 증착시킨다(도 9b 참조). 이때, 제 3 실시 예에서와 동일하게 3차원 브릿지 몰드(26)의 벽면은 경사가 수직에 가까울 정도로 급하기 때문에, 제 3 씨앗 금속층(50)이 증착되지 않는다.

기판(20)의 표면에 제 3 씨앗 금속층(50)을 증착시킨 후에는, 2차 전해 도금을 실시하여 상부 도전선(18)을 형성한다. 이때, 3차원 브릿지 몰드(26)의 최상부에 있는 제 3 씨앗 금속층(50)의 상부는 전기적으로 단선되어 있으므로 전해 도금이 일어나지 않으며, 도금 금속은 상부 도전선 공간(29)의 바닥에 형성된 제 3 씨앗 금속층(50)의 상부 전체에서 성장하기 때문에 길이에 제한이 없는 상부 도전선(18)을 형성하게 된다(도 9c 참조).

다음에, 3차원 브릿지 몰드(26)를 제거하면, 3차원 브릿지 몰드(26)의 최상부에 있던 제 3 씨앗 금속층(50)도 함께 제거되면서 길이의 제한이 없는 금속 브릿지(14)의 제조가 끝난다(도 9d 참조). 이 방법을 제 1 실시 예 및 제 2 실시 예에 적용하면, 길이의 제한이 없는 쏘레노이드 인덕터를 제작할 수 있다.

도 10a 및 10b는 본 발명의 바람직한 제 5 실시 예에 따라서 제 3 씨앗 금속층의 도움 없이 길이의 제한이 없는 금속 브릿지를 제작하기 위한 방법을 설명하는 도면이다. 도 10a 및 10b를 참조하면, 3차원 브릿지 몰드(26)의 형성시 최외곽의 양쪽에 있는 제 2 비어 홀(52) 사이에 추가의 제 3 비어 홀(54)을 한개 이상 형성하고, 이들이 상부 도전선 공간(29)에 의해서 모두 연결되도록 제 1 포토마스크(32) 및 제 2 포토마스크(36)를 설계한다. 이때, 최외곽의 양쪽에 있는 제 2 비어 홀(52)에 형성되는 도전 포스트(16)는 쏘레노이드 인덕터에 흐르는 전류에 기여하도록 바닥 도전선(12) 위에 형성되도록 하는 반면에, 추가의 제 3 비어 홀(54)에 형성되는 한개 이상의 더미 포스트(56)는 바닥 도전선(12)과 격리된 바닥 전극(58) 위에 형성되게 한다.

이때, 더미 포스트(56)는 보다 긴 상부 도전선(18)을 위한 중간 지지대 역할만을 할 뿐, 쏘레노이드 인덕터에 흐르는 전류에는 기여하지 않는다. 이로써, 도전 포스트(16), 더미 포스트(56) 및 상부 도전선(18) 모두가 한 몸체이면서 길이의 제한이 없는 금속 브릿지(14)를 제작할 수 있게 된다. 이 방법을 제 1 실시 예 및 제 2 실시 예에 적용하면, 길이의 제한이 없는 쏘레노이드 인덕터를 제작할 수 있다.

도 11은 본 발명의 바람직한 제 5 실시 예에 따라 제작된 것으로서 금속 브릿지 길이의 제한이 없으면서 자성 코어를 내포하는 쏘레노이드 인덕터의 주사 전자 현미경적 사진이다. 도 11을 참조하면, 바닥 도전선(12)과 금속 브릿지(14)는 모두 구리로 이루어져 있고, 자성 코어(46)는 니켈로 이루어져 있다. 이때, 금속 브릿지(14)의 길이는 280 μ m이다.

발명의 효과

전술한 바와 같이, 본 발명의 바람직한 실시 예들에 따르면, 공심 또는 자성 코어를 내포하는 쏘레노이드 인덕터를 모놀리식 방식으로 제작함에 있어서, 단일의 3차원 구조의 포토레지스트 몰드 패터닝과 단일의 금속 도금을 이용하여 도전 포스트와 상부 도전선이 한 몸체인 금속 브릿지를 형성함으로써, 종래의 기술로는 제조가 어려웠던 3차원 구조의 쏘레노이드 인덕터를 간단한 공정에 의해서 제조할 수 있기 때문에, 생산 원가의 절감과 생산성이 향상되는 효과를 얻을 수 있다.

또한, 제 3 씨앗 금속층 또는 더미 포스트를 도입할 경우에는 길이의 제한이 없는 금속 브릿지를 얻을 수 있다. 게다가, 포토리소그래피, 금속 도금 등의 모든 공정이 저온(120도 이하)에서 이루어지므로, 대부분의 기판을 사용할 수 있게 되고 높은 집적 회로 호환성(compatibility)을 가진다.

상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

상부면 상에 바닥 도전선이 형성된 기판을 마련하는 단계(S1);

상기 기판 상에 3차원 브릿지 몰드를 형성하는 단계(S2); 및

상기 기판 및 상기 3차원 브릿지 몰드 상에 금속 브릿지를 형성하는 단계(S3)를 포함하는 쏘레노이드 인덕터의 모놀리식 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 단계(S1)에서는, 상기 기판 상에 제 1 씨앗 금속층을 증착한후 포토리소그래피 공정을 이용하여 상기 제 1 씨앗 금속층 상에 포토레지스트를 코팅하고 패터닝하여 바닥 도전선 몰드를 형성하며, 상기 바닥 도전선 몰드에 의해서 가려진 부분을 제외한 상기 제 1 씨앗 금속층 상에 소정의 금속을 전해 또는 무전해 도금하여 바닥 도전선을 형성하는 것을 특징으로 하는 쏘레노이드 인덕터의 모놀리식 제조 방법.

청구항 3.

제 2 항에 있어서, 상기 제 1 씨앗 금속층은 200 Å 두께의 티타늄(Ti)과 2,000 Å 두께의 구리(Cu)로 이루어진 것을 특징으로 하는 쏘레노이드 인덕터의 모놀리식 제조 방법.

청구항 4.

제 2 항에 있어서, 상기 단계(S2)에서는, 상기 제 1 씨앗 금속층과 상기 바닥 도전선이 형성된 상기 기판 상에 포토레지스트를 도포하고 스핀 코팅(spin coating)을 실시하여 일정 두께의 포토레지스트막을 형성한후 열처리를 하며, 상기 열처리가 끝난후에는, 상부 도전선 패턴이 형성된 제 1 포토마스크를 사용하여 소정의 길이로 1차 자외선 노광을 실시함으로써, 추후에 현상되어 상부 도전선 공간을 형성하게될 부분에 상부 도전선 잠재영역을 형성하고, 도전 포스트 패턴이 형성된 제 2 포토마스크를 사용하여 상기 포토레지스트막의 바닥까지 2차 자외선 노광을 실시함으로써, 추후에 현상되어 비어 홀이 될 부분에 비어 홀 잠재영역을 형성하며, 상기 2차 자외선 노광이 끝난 상기 포토레지스트막을 단 한번 현상하여 상기 도전선 잠재영역과 상기 비어 홀 잠재영역을 제거함으로써, 상기 상부 도전선 공간과 상기 비어 홀을 3차원적으로 내포한 3차원 브릿지 몰드를 형성하는 것을 특징으로 하는 쏘레노이드 인덕터의 모놀리식 제조 방법.

청구항 5.

제 2 항에 있어서, 상기 단계(S2)에서는, 상기 제 1 씨앗 금속층과 상기 바닥 도전선이 형성된 상기 기판 상에 포토레지스트를 도포하고 스핀 코팅을 실시하여 일정 두께의 포토레지스트막을 형성한후 열처리를 하며, 상기 열처리가 끝난후에는, 도전 포스트 패턴이 형성된 제 2 포토마스크를 사용하여 상기 포토레지스트막의 바닥까지 1차 자외선 노광을 실시함으로써, 추후에 현상되어 비어 홀이 될 부분에 비어 홀 잠재영역을 형성하고, 상부 도전선 패턴이 형성된 제 1 포토마스크를 사용하여 소정의 길이로 2차 자외선 노광을 실시함으로써, 추후에 현상되어 상부 도전선 공간을 형성하게될 부분에 상부 도전선 잠재영역을 형성하며, 상기 2차 자외선 노광이 끝난 상기 포토레지스트막을 단 한번 현상하여 상기 비어 홀 잠재영역과 상기 도전선 잠재영역을 제거함으로써, 상기 비어 홀과 상기 상부 도전선 공간을 3차원적으로 내포한 상기 3차원 브릿지 몰드를 형성하는 것을 특징으로 하는 쏘레노이드 인덕터의 모놀리식 제조 방법.

청구항 6.

제 4 항 또는 5 항에 있어서, 상기 단계(S3)에서는, 상기 제 1 씨앗 금속층 상에 상기 소정의 금속을 전해 또는 무전해 도금하여 처음에는 상기 비어 흠을 채워서 도전 포스트를 형성하고, 이후에는 상기 금속의 도금이 상기 상부 도전선 공간을 따라서 상기 도전 포스트의 상부로 넘치게 하며, 상기 금속의 전해 또는 무전해 도금을 계속적으로 진행시켜서 양쪽의 상기 도전 포스트의 상기 상부로 넘친 상기 금속의 도금이 서로 연결되어 상기 상부 도전선을 형성하게 하고, 그 결과로서 상기 도전 포스트와 상기 상부 도전선이 한 용체를 이루는 금속 브릿지를 형성하며, 다음에는 상기 3차원 브릿지 몰드를 유기 용제로 제거하고 전기적 격리를 위해서 상기 제 1 씨앗 금속층의 일부를 에칭하는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 7.

제 4 항 또는 5 항에 있어서, 상기 단계(S3)에서는, 상기 제 1 씨앗 금속층 상에 상기 소정의 금속을 전해 또는 무전해 도금하여 처음에는 상기 비어 흠을 채워서 도전 포스트를 형성하고, 이후에는 상기 금속의 도금이 상기 상부 도전선 공간을 따라서 상기 도전 포스트의 상부로 넘치게 하며, 상기 금속의 전해 또는 무전해 도금을 계속적으로 진행시켜서 양쪽의 상기 도전 포스트의 상기 상부로 넘친 상기 금속의 도금이 서로 연결되어 상기 상부 도전선을 형성하게 하고, 그 결과로서 상기 도전 포스트와 상기 상부 도전선이 한 용체를 이루는 금속 브릿지를 형성하며, 다음에는 상기 3차원 브릿지 몰드를 유기 용제로 제거하고 전기적 격리를 위해서 상기 제 1 씨앗 금속층의 일부를 에칭하고, 상기 바닥 도전선과 상기 금속 브릿지의 표면을 보호하거나 두께를 더하기 위해서 소정의 금속의 무전해 도금을 실시하거나 또는 소정의 보호층을 증착시키는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 8.

제 7 항에 있어서, 상기 보호층이 폴리이미드, 알루미늄, 이산화규소막, 실리콘 질화막 및 탄화 규소막으로 이루어진 그룹으로부터 선택된 물질인 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 9.

제 4 항 또는 5 항에 있어서, 상기 단계(S3)에서는, 상기 제 1 씨앗 금속층 상에 상기 소정의 금속을 전해 또는 무전해 도금하여 처음에는 상기 비어 흠을 채워서 도전 포스트를 형성하고, 이후에는 상기 금속의 도금이 상기 상부 도전선 공간을 따라서 상기 도전 포스트의 상부로 넘치게 하며, 상기 금속의 전해 또는 무전해 도금을 계속적으로 진행시켜서 양쪽의 상기 도전 포스트의 상기 상부로 넘친 상기 금속의 도금이 서로 연결되어 상기 상부 도전선을 형성하게 하고, 그 결과로서 상기 도전 포스트와 상기 상부 도전선이 한 용체를 이루는 금속 브릿지를 형성하며, 다음에는 상기 3차원 브릿지 몰드를 유기 용제로 제거하고 전기적 격리를 위해서 상기 제 1 씨앗 금속층의 일부를 에칭하고, 상기 바닥 도전선과 상기 금속 브릿지의 두께를 감하기 위해서 추가로 에칭을 실시하는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 10.

제 4 항 또는 5 항에 있어서, 상기 단계(S3)에서는, 상기 3차원 브릿지 몰드의 벽면을 제외한 상기 기판의 상부에 상기 제 1 씨앗 금속층과 동일한 두께 및 재질을 갖는 제 3 씨앗 금속층을 증착시키고, 단일의 전해 도금을 실시하여 도금이 진행됨에 따라서 도금 금속이, 상기 비어 흠을 채워서 도전 포스트를 형성하며 그후에는 상기 상부 도전선 공간의 바닥에 형성된 상기 제 3 씨앗 금속층을 만나서 상기 상부 도전선 공간을 채우게 하고, 상기 3차원 브릿지 몰드 및 상기 3차원 브릿지 몰드의 최상부에 위치한 상기 제 3 씨앗 금속층을 함께 제거함으로써, 상기 도전 포스트와 상기 상부 도전선이 한 용체이면서 길이의 제한이 없는 금속 브릿지를 형성하는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 11.

제 4 항 또는 5 항에 있어서, 상기 단계(S3)에서는, 상기 3차원 브릿지 몰드가 형성된 상기 기판에 상기 비어 흠의 높이까지만 1차 전해 또는 무전해 금속 도금을 수행하여 도전 포스트를 형성하고, 상기 3차원 브릿지 몰드의 벽면을 제외한 상기 기판의 상부에 상기 제 1 씨앗 금속층과 동일한 두께 및 재질을 갖는 제 3 씨앗 금속층을 증착시키고, 상기 기판 상에 2차 전해 도금을 실시하여 도금이 진행됨에 따라서 도금 금속이 상기 상부 도전선 공간을 채우게 하며, 상기 제 3 씨앗 금속층의 상부 전체에서 상기 도금 금속을 성장시킨후, 상기 3차원 브릿지 몰드 및 상기 3차원 브릿지 몰드의 최상부에 위치한 상기 제 3 씨앗 금속층을 함께 제거함으로써, 길이의 제한이 없는 금속 브릿지를 형성하는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 12.

제 2 항에 있어서, 상기 단계(S2)에서는, 상기 제 1 씨앗 금속층과 상기 바닥 도전선이 형성된 상기 기판 상에 포토레지스트를 도포하고 스핀 코팅을 실시하여 일정 두께의 포토레지스트막을 형성한후 열처리를 하며, 상기 열처리가 끝난후에는, 상부 도전선 패턴이 형성된 제 1 포토마스크를 사용하여 소정의 길이로 1차 자외선 노광을 실시함으로써, 추후에 현상되어 상부 도전선 공간을 형성하게될 부분에 상부 도전선 잠재영역을 형성하고, 도전 포스트 패턴과 더미 포스트 패턴이 형성된 제 2 포토마스크를 사용하여 상기 포토레지스트막의 바닥까지 2차 자외선 노광을 실시함으로써, 상기 도전 포스트 패턴에 대응하여 상기 3차원 브릿지 몰드의 최외각 양측의 비어 흠이 될 부분과 상기 더미 포스트 패턴에 대응하여 상기 비어 흠들 사이에 위치하는 적어도 하나의 추가 비어 흠이 될 부분에 비어 흠 잠재영역을 형성하며, 상기 2차 자외선 노광이 끝난 상기 포토레지스트막을 단한번 현상하여 상기 도전선 잠재영역과 상기 비어 흠 잠재영역을 제거함으로써, 상기 도전 포스트, 상기 더미 포스트 및 상기 상부 도전선이 한 용체이면서 길이의 제한이 없는 상기 3차원 브릿지 몰드를 형성하는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 13.

제 2 항에 있어서, 상기 단계(S2)에서는, 상기 제 1 씨앗 금속층과 상기 바닥 도전선이 형성된 상기 기판 상에 포토레지스트를 도포하고 스핀 코팅을 실시하여 일정 두께의 포토레지스트막을 형성한후 열처리를 하며, 상기 열처리가 끝난후에는, 도전 포스트 패턴과 더미 포스트 패턴이 형성된 제 2 포토마스크를 사용하여 상기 포토레지스트막의 바닥까지 1차 자외선 노광을 실시함으로써, 상기 도전 포스트 패턴에 대응하여 상기 3차원 브릿지 몰드의 최외각 양측에 형성되는 비어 흠이 될 부분과 상기 더미 포스트 패턴에 대응하여 상기 비어 흠들 사이에 형성되는 적어도 하나의 추가 비어 흠이 될 부분에 비어 흠 잠재영역을 형성하며, 상부 도전선 패턴이 형성된 제 1 포토마스크를 사용하여 소정의 길이로 2차 자외선 노광을 실시함으로써, 추후에 현상되어 상부 도전선 공간을 형성하게될 부분에 상부 도전선 잠재영역을 형성하고, 상기 2차 자외선 노광이 끝난 상기 포토레지스트막을 단한번 현상하여 상기 비어 흠 잠재영역들과 상기 도전선 잠재영역을 제거함으로써, 상기 도전 포스트, 상기 더미 포스트 및 상기 상부 도전선이 한 용체이면서 길이의 제한이 없는 상기 3차원 브릿지 몰드를 형성하는 것을 특징으로 하는 쉘레노이드 인덕터의 모놀리식 제조 방법.

청구항 14.

상부면 상에 바닥 도전선이 형성된 기판을 마련하는 단계(SS1);

상기 기판 상에 희생층을 형성하는 단계(SS2);

상기 기판 상에 자성 코어를 형성하는 단계(SS3);

상기 기판 상에 3차원 브릿지 몰드를 형성하는 단계(SS4); 및

상기 기판 및 상기 3차원 브릿지 몰드 상에 금속 브릿지를 형성하는 단계(SS5)를 포함하는 솔레노이드 인덕터의 모놀리식 제조 방법.

청구항 15.

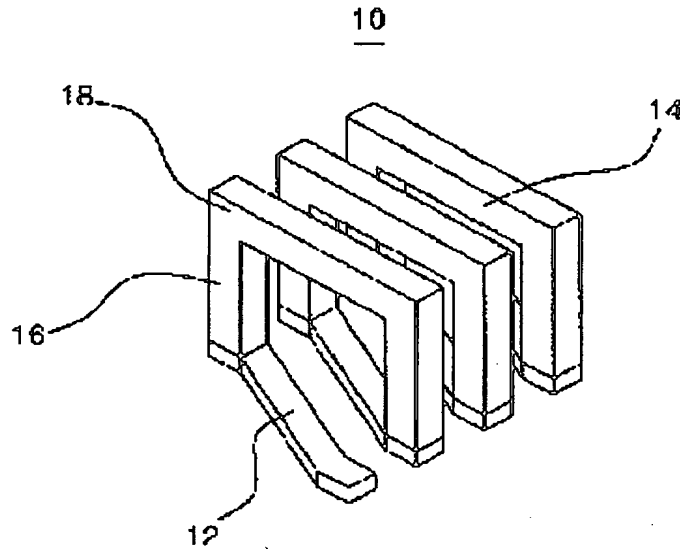
제 14 항에 있어서, 상기 단계(SS1)에서는, 상기 기판 상에 제 1 씨앗 금속층을 증착한후 포토리소그래피 공정을 이용하여 상기 제 1 씨앗 금속층 상에 포토레지스트를 코팅하고 패터닝하여 바닥 도전선 몰드를 형성하며, 상기 바닥 도전선 몰드에 의해서 가려진 부분을 제외한 상기 제 1 씨앗 금속층 상에 소정의 금속을 전해 또는 무전해 도금하여 바닥 도전선을 형성하는 것을 특징으로 하는 솔레노이드 인덕터의 모놀리식 제조 방법.

청구항 16.

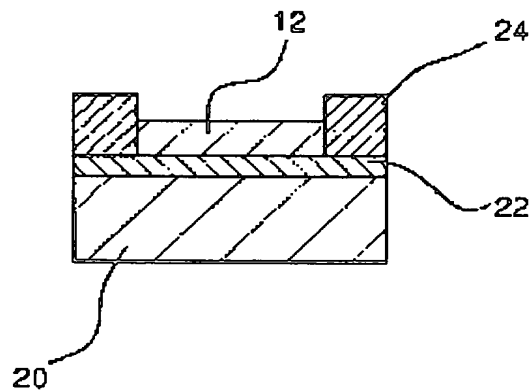
제 15 항에 있어서, 상기 단계(SS3)에서는, 상기 희생층을 소정의 두께로 패터닝한후, 상기 제 1 씨앗 금속층과 동일한 두께 및 재질을 갖는 제 2 씨앗 금속층을 상기 기판의 표면 상에 증착시키고, 상기 제 2 씨앗 금속층의 상부에 소정 두께의 자성 코어 몰드를 패터닝하여 형성하며, 상기 자성 코어 몰드에 의해서 가려진 부분을 제외한 상기 제 2 씨앗 금속층 상에 자성 금속의 전해 또는 무전해 도금을 실시하여 소정 두께의 자성 코어를 형성하고, 상기 자성 코어 몰드의 전부, 상기 제 2 씨앗 금속층의 일부 및 상기 희생층을 순차적으로 제거하는 것을 특징으로 하는 솔레노이드 인덕터의 모놀리식 제조 방법.

도면

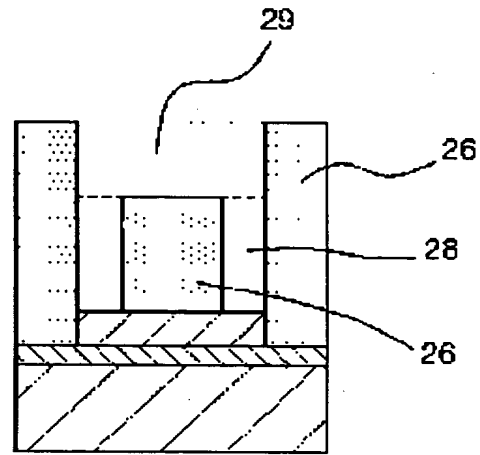
도면 1



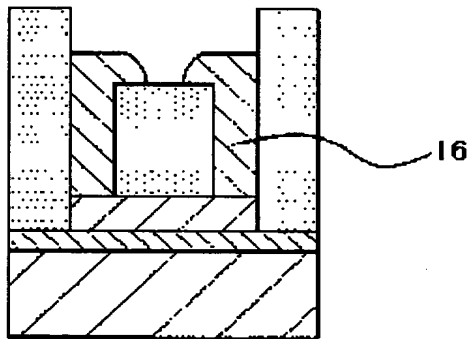
도면 2a



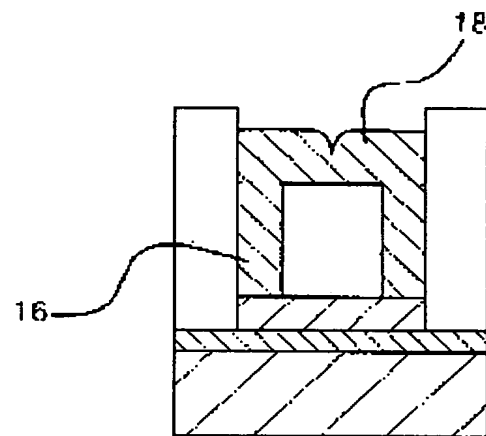
도면 2b



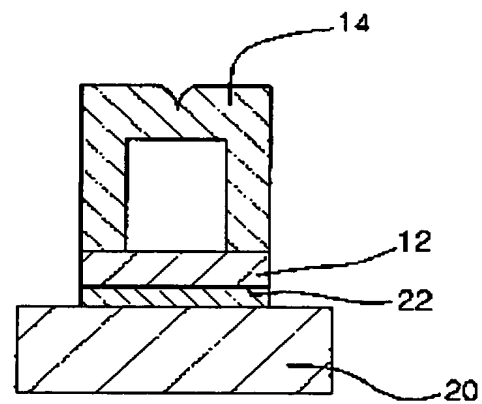
도면 2c



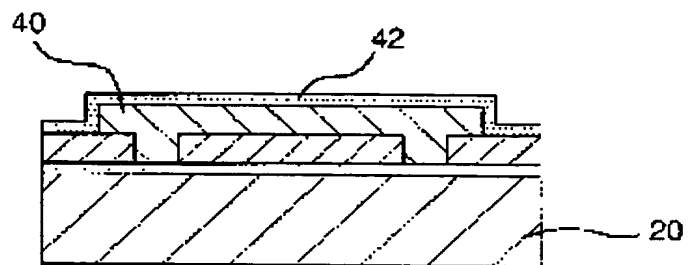
도면 2d



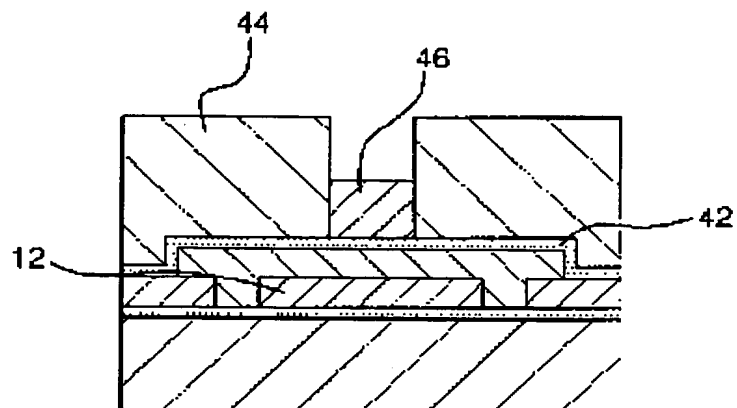
도면 2e



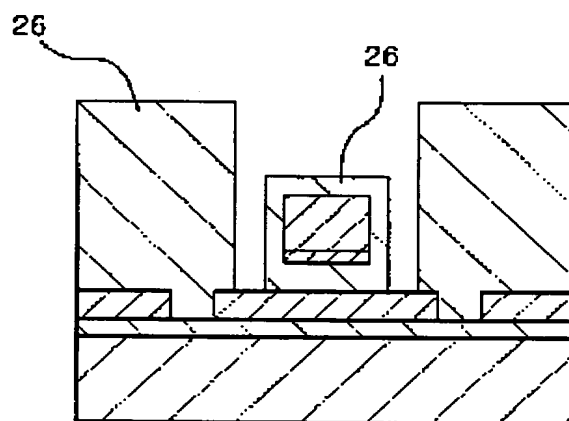
도면 4b



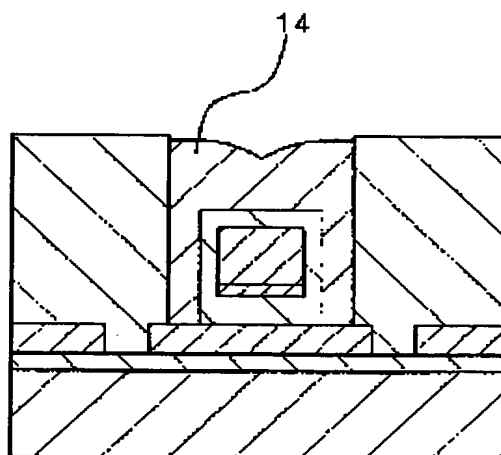
도면 4c



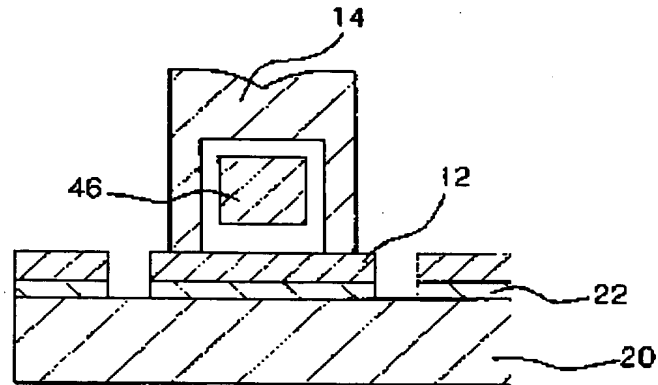
도면 4d



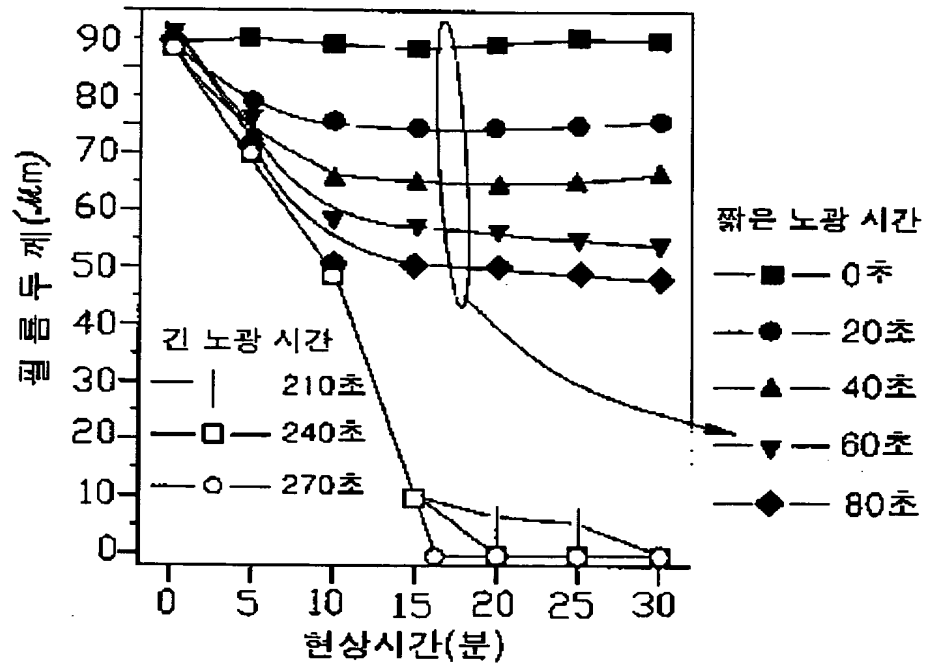
도면 4e



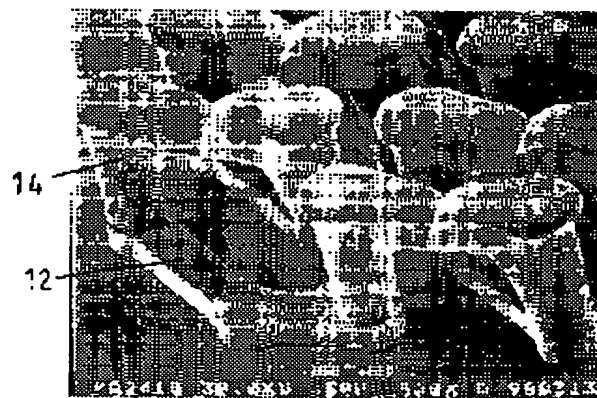
도면 4f



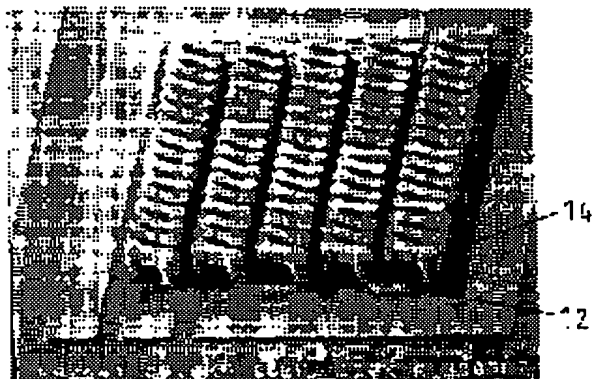
도면 5



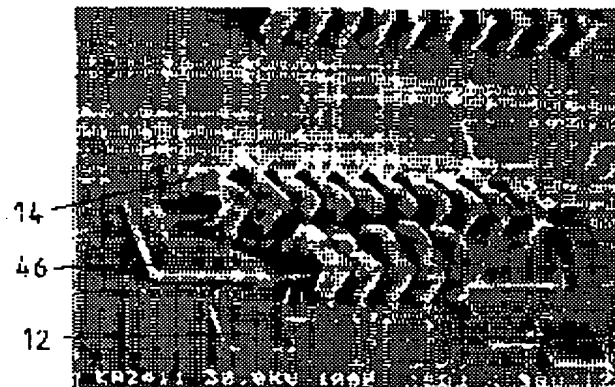
도면 6a



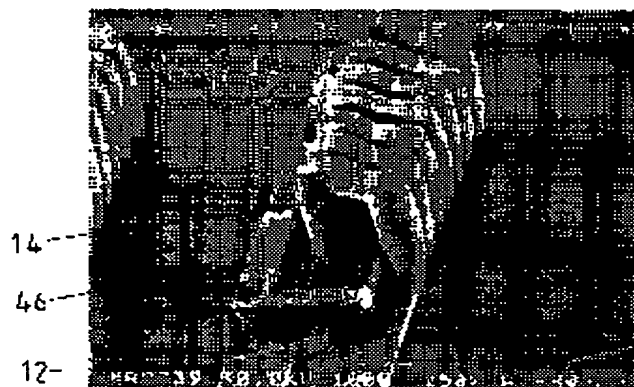
도면 6b



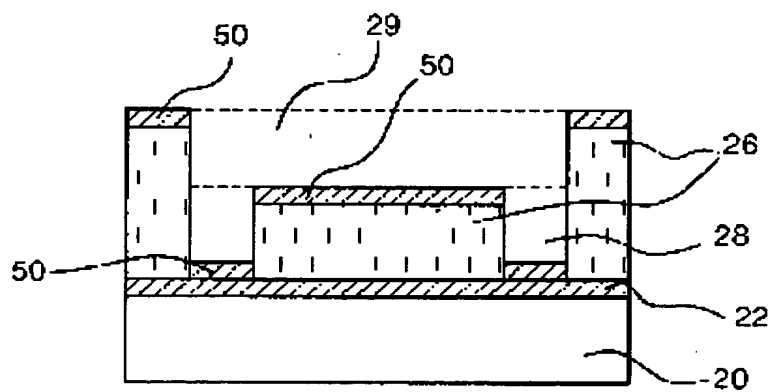
도면 7a



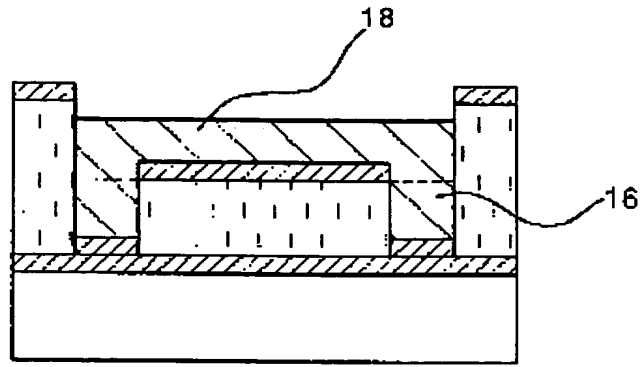
도면 7b



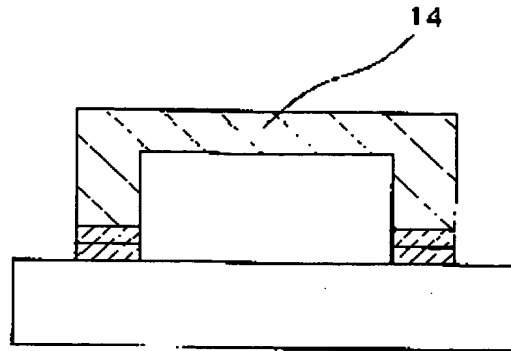
도면 8a



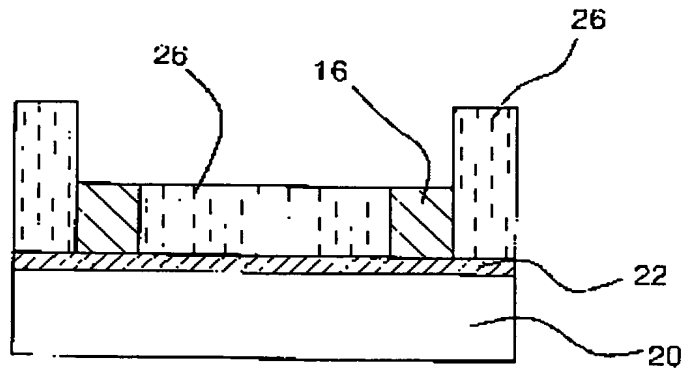
도면 8b



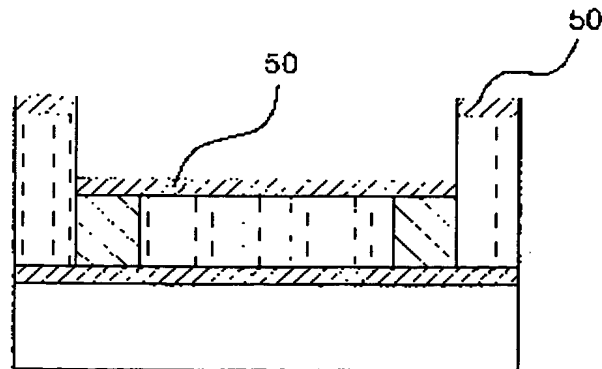
도면 8c



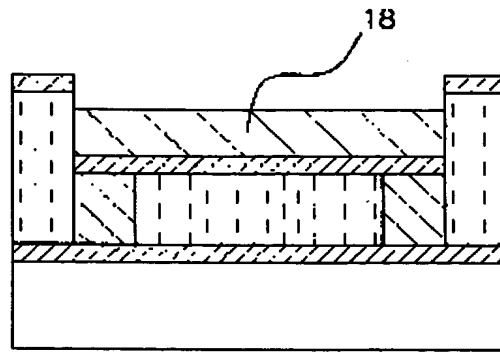
도면 9a



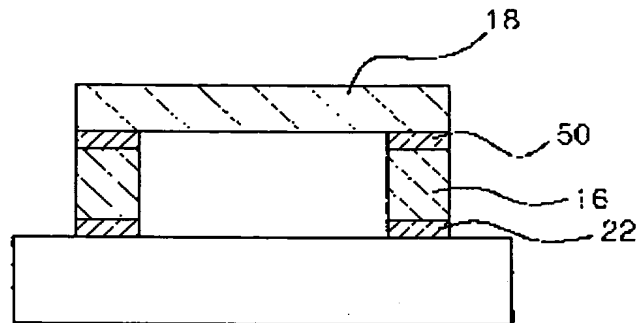
도면 9b



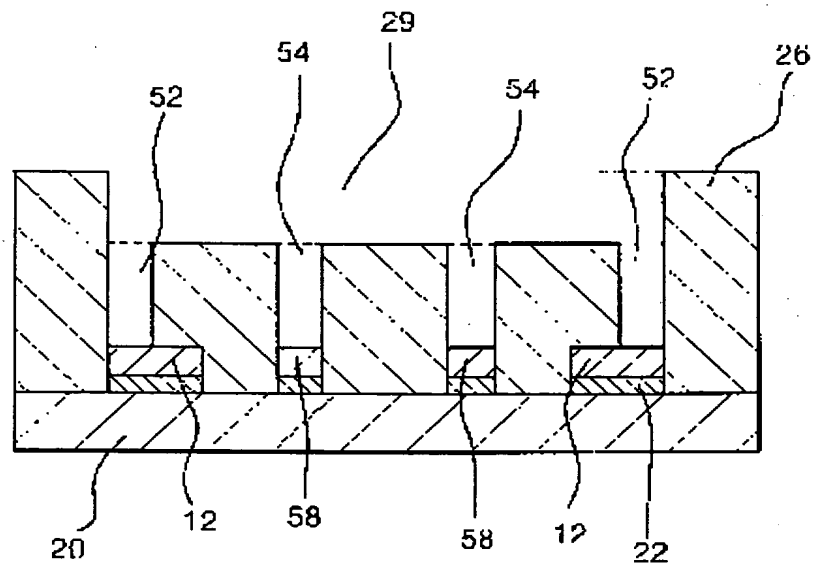
도면 9c



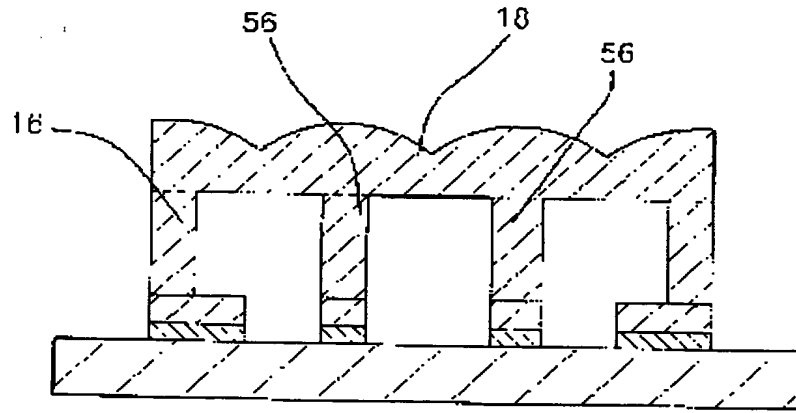
도면 9d



도면 10a



도면 10b



도면 11

